



JP10213686

Biblio Page 1

esp@cenet



OSCILLATION CIRCUIT, CONSTANT VOLTAGE GENERATING CIRCUIT SEMICONDUCTOR DEVICE, AND PORTABLE ELECTRONIC DEVICE AND TIMEPIECE EQUIPPED WITH THEM

Patent Number: JP10213686
Publication date: 1998-08-11
Inventor(s): KADOWAKI TADAO; MAKIUCHI YOSHIKI; NAKAMIYA SHINJI
Applicant(s): SEIKO EPSON CORP
Requested Patent: ☐ JP10213686
Application Number: JP19970027280 19970127
Priority Number(s):
IPC Classification: G04G3/00 ; G04C10/00 ; G04G1/00
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To allow low power consumption driving and stable oscillation, by adjusting the threshold voltage of a transistor in an oscillation inverter which constitutes an oscillation circuit.

SOLUTION: A quartz oscillation circuit constitutes oscillation inverter group 10 with oscillation inverter units INV1-INV3. Transistors NMOSQN4 -QN6 and PMOSQP4 -QP6 , of the oscillation inverter units INV1-INV3 are formed with different threshold voltages. Selection control circuits 20P and 20N comprising selection control transistors PMOSQP7 -QP9 and NMOSQN7 -QN9 adjust the transistor outputs of the oscillation inverter units INV1-INV3 among the oscillation inverter group 10 to an optimum voltage. Thus, oscillation operation is stabilized for a longer life of a battery.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-213686

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁸

識別記号

F I

G 0 4 G 3/00

G 0 4 G 3/00

K

G 0 4 C 10/00

G 0 4 C 10/00

A

G 0 4 G 1/00

3 1 0

G 0 4 G 1/00

3 1 0 N

審査請求 未請求 請求項の数21 F D (全 19 頁)

(21) 出願番号

特願平9-27280

(22) 出願日

平成9年(1997) 1月27日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 門脇 忠雄

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 牧内 佳樹

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 中宮 信二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

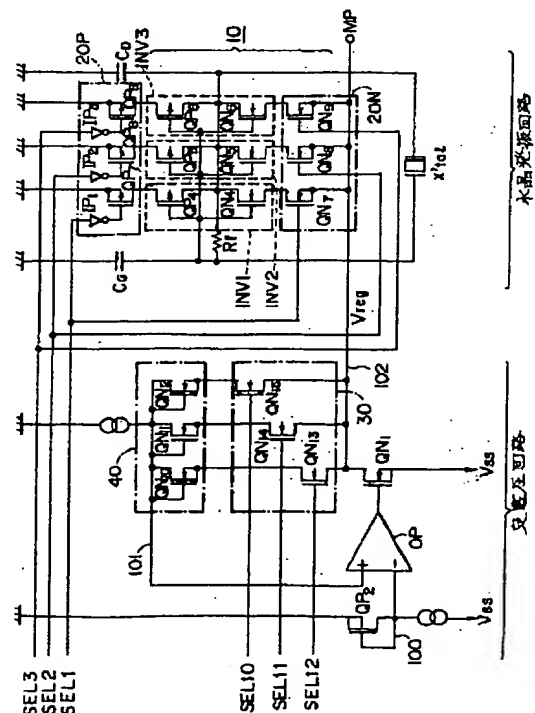
(74) 代理人 弁理士 井上 一 (外2名)

(54) 【発明の名称】 発振回路、定電圧発生回路、半導体装置、及びこれらを具備した携帯用電子機器および時計

(57) 【要約】

【課題】 発振用インバータを含む発振回路、定電圧発生回路、半導体装置、電子機器において、発振回路を構成する発振用インバータにおけるトランジスタの閾値電圧を調整することにより低消費電力駆動且つ安定発振を行なう。定電圧発生回路におけるオペアンプの入力部と接続されたトランジスタの閾値電圧を制御することにより、低消費電力駆動を行なう。

【解決手段】 複数の発振用インバータユニットにより発振用インバータ群を形成し、かつ前記発振用インバータユニットを構成するPMOS/NMOSの各閾値電圧を、各発振用インバータユニットごとに異なるように形成し、最適な発振用インバータユニットを選択する。また、オペアンプの一方の入力電圧を制御するNMOSを複数かつ夫々異なる閾値電圧にて形成し、前記複数のNMOSのうち最適なNMOSを選択する。そして、前記選択において、定電圧Vreg、発振停止電圧Vstoは、 $|Vreg| > |Vsto|$ かつ $|Vreg|$ を低くするという両方の条件を満たすように設定する。



【特許請求の範囲】

【請求項1】 異なる閾値電圧を有するトランジスタを用いて構成された複数の発振用インバータを含み、いずれか1つの発振用インバータが選択使用される発振用インバータ群と、
前記発振用インバータ群の出力側と入力側に接続された水晶振動子を有し、前記発振用インバータ群の出力信号を位相反転して、前記発振用インバータ群にフィードバック入力するフィードバック回路と、
を含むことを特徴とする発振回路。

【請求項2】 請求項1において、
前記発振用インバータ群から、いずれか1つの発振用インバータを選択する選択回路を含むことを特徴とする発振回路。

【請求項3】 請求項2において、
前記発振回路は、テスト回路と同一の基板上に形成され、
前記水晶振動子を搭載していない状態で、前記テスト回路にて、前記各発振用インバータを選択し、該夫々の発振用インバータのショート電流を測定することにより、
前記発振用インバータ群の中から1つの発振用インバータを特定し、前記選択回路にて前記発振用インバータを選択するものであることを特徴とする発振回路。

【請求項4】 請求項3において、
前記テスト回路は、テスト用パッドと接続され、前記テスト用パッドへの印加電圧が制御されることによって、
前記テスト回路を介して、前記各発振用インバータを選択することを特徴とする発振回路。

【請求項5】 請求項1乃至4のいずれかにおいて、
前記選択回路は、前記発振用インバータと対応して設けられ、かつ複数のパッドと接続された、複数の単位回路を含み、
前記複数の単位回路は、夫々フューズ、不揮発性メモリ、記憶素子のうちのいずれか1つを含み、前記パッドへ電圧を印加することにより、前記発振用インバータを選択することを特徴とする発振回路。

【請求項6】 請求項1乃至5のいずれかにおいて、
前記発振用インバータ群は、第1の閾値電圧を有するトランジスタを含んで構成された第1の発振用インバータと、前記第1の閾値電圧とは異なる第2の閾値電圧を有するトランジスタを含んで構成された第2の発振用インバータと、前記第1及び第2の閾値電圧とは異なる第3の閾値電圧を有するトランジスタを含んで構成された第3の発振用インバータとを少なくとも含むことを特徴とする発振回路。

【請求項7】 請求項1または6において、
前記各発振用インバータの電源ラインは、第1の電位側と、前記第1の電位とは電位の異なる第2の電位側に接続され、
前記発振回路は、前記第1の電位と前記第2の電位によ

る電位差をもって、振幅を行なうものであることを特徴とする発振回路。

【請求項8】 請求項7において、
前記第1の電位と前記第2の電位による電位差は、前記発振用インバータの発振停止電圧の絶対値よりも大きいものであることを特徴とする発振回路。

【請求項9】 請求項7または8において、
選択する発振用インバータに流れるショート電流が、選択する発振用インバータを構成するトランジスタのオン電流よりも大きいという条件を満たす範囲で、前記発振用インバータの選択を行なうと共に、
前記第1の電位と前記第2の電位による電位差を、最小の電圧とすることを特徴とする発振回路。

【請求項10】 一端側が第1の電位側、他端側が定電圧出力側に接続され、閾値電圧が夫々異なる複数のトランジスタを含み、いずれか1つのトランジスタが選択使用される定電圧制御回路と、
前記定電圧制御回路の参照電圧が一方の端子へ入力され、他方の端子へ所与の基準電圧が入力されたオペアンプと、
一端が前記定電圧制御回路の前記各トランジスタの他端側に接続され、他端側が第2の電位側に接続され、前記オペアンプの出力を受けてゲート入力電圧が制御されるトランジスタと、
を含むことを特徴とする定電圧発生回路。

【請求項11】 請求項10において、
前記定電圧発生回路は、前記定電圧制御回路における複数のトランジスタから1つのトランジスタを選択する選択回路を含むことを特徴とする定電圧発生回路。

【請求項12】 請求項11において、
前記定電圧発生回路はモニタ端子と接続されるとともに、テスト回路と同一の基板上に設けられ、
検査工程において、前記テスト回路は、前記定電圧制御回路における各トランジスタを選択し、前記定電圧制御回路における各トランジスタによる出力電圧を前記モニタ端子にて夫々測定することにより、前記定電圧制御回路における複数のトランジスタの中から1つのトランジスタを特定し、前記選択回路にて、前記トランジスタを選択することを特徴とする定電圧発生回路。

【請求項13】 請求項12において、
前記テスト回路は、テスト用パッドと接続され、前記テスト用パッドへの印加電圧が制御されることによって、
前記テスト回路を介して、前記定電圧制御回路における各トランジスタを選択することを特徴とする定電圧発生回路。

【請求項14】 請求項10乃至13のいずれかにおいて、
前記選択回路は、前記定電圧制御回路における前記複数のトランジスタと対応して形成され、かつ複数のパッドと接続された、複数の単位回路を含み、

前記複数の単位回路は、夫々フューズ、不揮発性メモリ、記憶素子のうちのいずれか1つを含み、前記パッドへ電圧を印加することにより、前記トランジスタを選択することを特徴とする定電圧発生回路。

【請求項15】 請求項10乃至14のいずれかにおいて、

前記定電圧制御回路は、第4の閾値電圧を有するトランジスタと、前記第4の閾値電圧とは異なる第5の閾値電圧を有するトランジスタと、前記第4及び第5の閾値電圧とは異なる第6の閾値電圧を有するトランジスタとを少なくとも含み、各前記トランジスタは一端側が第1の電位側に接続され、他端側が定電圧出力側に接続されていることを特徴とする定電圧発生回路。

【請求項16】 請求項10乃至15のうちのいずれかにおいて、

前記定電圧発生回路の出力電圧を、発振回路へ供給することを特徴とする定電圧発生回路。

【請求項17】 発振回路と、定電圧発生回路と、テスト回路とを含む半導体装置であって、

前記発振回路は、

異なる閾値電圧を有するトランジスタを用いて構成された複数の発振用インバータを含み、いずれか1つの発振用インバータが選択使用される発振用インバータ群と、前記発振用インバータ群における複数の発振用インバータから1つの発振用インバータを選択する第1の選択回路と、

外付けされた水晶振動子と出力側及び入力側が接続された前記発振用インバータ群の出力信号を位相反転して、前記発振用インバータ群にフィードバック入力するフィードバック回路と、

を含み、

前記定電圧発生回路は、

一端側が第1の電位側、他端側が定電圧出力側に接続され、閾値電圧が夫々異なる複数のトランジスタを含み、いずれか1つのトランジスタが選択使用される定電圧制御回路と、

前記定電圧制御回路の参照電圧が一方の端子へ入力され、他方の端子へ所与の基準電圧が入力されたオペアンプと、

一端が前記定電圧制御回路の前記各トランジスタの他端側に接続され、他端側が第2の電位側に接続され、前記オペアンプ出力を受けてゲート入力電圧が制御されるトランジスタと、

前記定電圧制御回路における複数のトランジスタから1つのトランジスタを選択する第2の選択回路と、

を含み、

前記テスト回路は、前記発振回路および前記定電圧発生回路と夫々接続されるとともに、

前記定電圧発生回路の出力電圧をモニタするモニタ端子と、テスト用パッドと接続されて設けられ、

検査工程において、前記モニタ端子に電圧を印加した状態で、前記テスト用パッドへの印加電圧を制御することにより、前記テスト回路を介して前記各発振用インバータを夫々選択して、前記各発振用インバータのショート電流を夫々測定し、

前記ショート電流測定後に、前記テスト用パッドへの印加電圧を制御することにより、前記テスト回路を介して前記定電圧制御回路における各トランジスタを夫々選択して、前記各トランジスタの出力電圧を前記モニタ端子にて夫々測定し、

前記発振用インバータの発振動作を確保できる範囲で、前記発振回路内の前記発振用インバータを前記第1の選択回路にて選択するとともに、前記定電圧発生回路内の定電圧制御回路におけるトランジスタを前記第2の選択回路にて選択することを特徴とする半導体装置。

【請求項18】 請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から動作基準信号を形成することを特徴とする携帯用電子機器。

【請求項19】 請求項18において、

20 前記発振回路への供給電圧を形成する請求項10乃至16のいずれかの定電圧発生回路を含むことを特徴とする携帯用電子機器。

【請求項20】 請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から時計基準信号を形成することを特徴とする時計。

【請求項21】 請求項20において、

前記発振回路への供給電圧を形成する請求項10乃至16のいずれかの定電圧発生回路を含むことを特徴とする時計。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発振回路、定電圧発生回路、半導体装置及びそれらを具備した携帯用の電子機器および時計に関するものであり、特に、発振回路に含まれる発振用インバータおよび定電圧発生回路に関する。

【0002】

【背景技術】従来より、時計や携帯用の電話、コンピュータ端末などには、水晶振動子を用いた発振回路が広く用いられている。このような携帯用の電子機器または時計では、消費電力を節約し、電池の長寿命化を図ることが必要となる。

【0003】消費電力の節約という観点から、本発明者は、携帯用電子機器、特に腕時計に使用される電子回路の消費電力を分析した。この分析により、プリント基板上に構成される電子回路のうち、半導体装置においては発振回路部分の消費電力が他の回路部分に比べ大きな割合を占めることが確認された。すなわち、携帯用電子機器に使用される電子回路の発振回路部分での消費電力を節減することが、使用電池の長寿命化を図る上で効果的

であることを見出した。

【0004】図11には、従来の水晶発振回路および定電圧発生回路の一例が示されている。

【0005】この水晶発振回路は、水晶振動子 $X'tal$ と、発振用インバータ $INV0$ と、フィードバック回路を構成する高抵抗 Rf とを含んで構成される。前記フィードバック回路は、抵抗 Rf 以外に、位相補償用のコンデンサ C_D 、 C_G を含んで構成され、発振用インバータ $INV0$ のドレイン出力を、180度位相反転されたゲート入力として発振用インバータ $INV0$ のゲートへフィードバック入力するものである。

【0006】従来このような水晶発振回路に用いられる発振用インバータ $INV0$ は、一對のP型電界効果トランジスタ（以下PMOSと記す） QP_0 、N型電界効果トランジスタ（以下NMOSと記す） QN_0 を含み、各PMOS QP_0 、NMOS QN_0 のゲートが入力側、ドレインが出力側として機能するように構成されている。そして、前記各トランジスタ QP_0 、 QN_0 は、そのドレイン側が互いに接続され、そのソース側がそれぞれ接地電圧 V_{dd} 側、負の定電圧 V_{reg} 側に接続されている。

【0007】以上の構成の水晶発振回路では、発振用インバータ $INV0$ に定電圧 V_{reg} を印加すると、前記発振用インバータ $INV0$ の出力が180度位相反転されてゲートにフィードバック入力される。これにより、発振用インバータ $INV0$ を構成するPMOS QP_0 、NMOS QN_0 が交互にオンオフ駆動され、水晶発振回路の発振出力が次第に増加し、ついには水晶振動子 $X'tal$ が安定した発振動作を行なうようになる。

【0008】しかし、従来の水晶発振回路では、起動時にも、安定発振後にも、常にPMOS QP_0 、NMOS QN_0 両トランジスタを交互にオンオフ駆動するように構成されているため、以下に記述する問題があった。

【0009】従来の水晶発振回路では、安定発振後も常にPMOS QP_0 、NMOS QN_0 を交互にオンオフ駆動している。この場合、前記PMOS QP_0 をオン駆動しているときには、水晶振動子 $X'tal$ に充電されたエネルギーのほとんどをそのまま放電する。したがって、次の充電サイクルにおいて、水晶振動子 $X'tal$ をはじめから充電しなければならず、本発明者は、この充電が、回路全体の電力消費を節減する上の大きな問題となることを見出した。

【0010】すなわち、水晶発振回路が安定して発振している状態では、水晶振動子 $X'tal$ に充電された電力を充放電サイクルにおいて完全に放電しなくても、安定した発振状態を維持することができる。しかし、従来の回路では、この充放電サイクルにおいて、水晶振動子 $X'tal$ の充電電力をそのまま放電し、再度充電するというサイクルを繰り返していたため、これが回路全体の電力消費を増加させる大きな要因となっていた。

【0011】また、このような水晶発振回路において

は、発振停止電圧の絶対値 $|V_{sto}|$ は、前記NMOS QN_0 の閾値電圧を V_{thn0} 、前記PMOSの QP_0 閾値電圧を V_{thp0} とすると、式1のように表わすことができる。

【0012】

$$\text{式1: } |V_{sto}| = K \cdot (|V_{thp0}| + V_{thn0})$$

ここで、定数 K は0.8~0.9であり、 $|V_{thp0}|$ は V_{thp0} の絶対値を示す。このように、発振停止電圧 V_{sto} は、前記NMOSトランジスタの閾値電圧 V_{thn0} 、前記PMOSの閾値電圧 V_{thp0} に依存する。

【0013】一方、定電圧発生回路は、オペアンプOPと、マイナス（以下-と記す）入力電圧制御用PMOS QP_2 とプラス（以下+と記す）入力電圧制御用NMOS QN_2 、出力用NMOS QN_1 とを含んで構成されている。すなわち、前記オペアンプOPの-入力端子が、ゲートがドレインと接続され、かつ定電流源と電源電圧 V_{ss} 間に設けられたPMOS QP_2 のドレインと接続される。さらに、前記オペアンプOPの+入力端子が、ゲートがドレインと短絡され、かつ定電流源と電源電圧 V_{ss} の間に設けられたNMOS QN_2 のドレインと接続されている。

【0014】そして、前記NMOS QN_2 のソースとそのドレインが直列に接続され、かつ前記オペアンプOPの出力をゲートに受け、ソースが電源電圧 V_{ss} と接続された、出力用のNMOS QN_1 が設けられている。よって、前記オペアンプOPの出力電圧、すなわち、定電圧発生回路の出力電圧 V_{reg} は、前記PMOS QP_2 およびNMOS QN_2 のそれぞれの閾値電圧 V_{thp2} 、 V_{thn2} の影響をそれぞれ受ける。

【0015】つまり、この回路の動作について以下に説明すると、前記PMOS QP_2 に定電流が流れることによって、信号線100に前記PMOS QP_2 の閾値電圧 $|V_{thp2}|$ に依存した電圧 $\alpha|V_{thp2}|$ （ α :定数）が生じる。そして、前記オペアンプOPとNMOS QN_1 により、信号線101は、前記信号線100と同一の電位 $\alpha|V_{thp2}|$ に制御される。さらに、NMOS QN_2 に定電流源からの電流が流れることによって、前記信号線101と出力ライン102との間に閾値電圧 V_{thn2} に依存した αV_{thn2} の電位差が生じる。よって、前記出力ライン102と接地電位 V_{dd} の間には、 $|V_{thp2}| + V_{thn2}$ に依存した定電圧 $\alpha(|V_{thp2}| + V_{thn2})$ が生じる。

【0016】よって、オペアンプOPの出力電圧、すなわち、定電圧発生回路の出力電圧 V_{reg} は、前記PMOS QP_2 の閾値電圧 V_{thp2} およびNMOS QN_2 の閾値電圧 V_{thn2} の影響をそれぞれ受ける。すなわち、定電圧 $|V_{reg}|$ は $|V_{thp2}| + V_{thn2}$ に比例する。したがって、従来の構成の水晶発振回路は、 $|V_{thp2}| + V_{thn2}$ に依存した定電圧値 V_{reg} を電源として動作することになる。

【0017】したがって、従来の定電圧発生回路においては、半導体製造プロセス上で閾値電圧 V_{thp2} 及び V_{thn2} の値がばらついて、 $|V_{thp2}|$ もしくは V_{thn2} の値が大きくなった場合でも、定電圧 $|V_{reg}|$ も同時に大き

くなるので、常に定電圧 V_{reg} と発振停止電圧 V_{sto} の関係において $|V_{reg}| > |V_{sto}|$ が保たれ、発振動作確保ができ、ICの歩留りを向上することができるという利点があった。

【0018】そして、発振回路の低消費電力動作のために、従来は定電圧発生回路を動作させる定電流源を、前記定電圧発生回路が動作可能な範囲で、できるだけ少なくしていた。しかしながら、前述したような携帯用の機器の発展によるニーズに伴い、発振用インバータの低消費電力化を図るために、発振動作確保 ($|V_{reg}| > |V_{sto}|$) を満足しつつ、定電圧 $|V_{reg}|$ をできるだけ下げることが必要となってきた。しかし、定電圧発生回路を動作させる定電流源からの定電流を少なくしていくと、温度変化により定電流が変動した場合の定電圧 V_{reg} の変化が大きくなる。

【0019】ここで、トランジスタの温度特性について、図11に示される定電圧発生回路を用いて説明する。この定電圧発生回路において、NMOS Q_N2 、PMOS Q_P2 を動作させる定電流源TA、TBの電流値には温度依存性がある。すなわち、前記定電流源TA、TBは、例えば、デプリーションタイプのPMOSにより構成されている場合、定電流IDは式2にて表わすことができる。ここで、前記定電流源を構成するデプリーションPMOSの電流増幅率を β とし、その閾値電圧の絶対値を $|V_{th}|$ とし、ゲートソース間電圧を V_{GS} とする。

【0020】

$$\text{式2: } I_D = 1/2 \cdot \beta \cdot (V_{GS} - |V_{th}|)^2$$

ここで、前記デプリーションPMOSは定電流を形成するためにゲートソース間が短絡されているので、前記 V_{GS} は0Vとなるのでこれを代入すると、式3のようになる。

$$\text{【0021】式3: } I_D = 1/2 \cdot \beta \cdot (-V_{th})^2$$

式3に示されるように、定電流 I_D は、電源電圧には依存しない。したがって、定電流 I_D は、温度依存性のある電流増幅率 β と閾値電圧 V_{th} の二乗に比例するので、定電流 I_D の値も、また温度変化によって変動する。

【0022】また、図12にNMOS Q_N2 の温度変動を表わすグラフについて示す。図12において縦軸は前記定電流 I_D を表わし、横軸はゲートソース間電圧 V_{GS} を表わす。グラフには3種類の曲線が示されているが、曲線Aは前記NMOS Q_N2 の閾値電圧が低い場合、曲線Cは前記閾値電圧が高い場合、曲線Bは前記閾値電圧がAとCとの中間であった場合について示している。そして、特に図示しないが、PMOS Q_P2 も同様の特性をもっている。つまり、このグラフからも分かるように、定電圧 V_{reg} の温度変化に対する変動量は、定電流値の変動と、前記NMOS Q_N2 の閾値電圧 V_{thn2} 、PMOS Q_P2 の閾値電圧 V_{thp2} の絶対値の夫々の変動の和となる。

【0023】一方、発振停止電圧 V_{sto} の温度に対する変化量については、発振停止電圧 V_{sto} は、前記した式

1に依存しているので、NMOS Q_N0 、PMOS Q_P0 の閾値電圧の変動分のみになる。

【0024】したがって、定電圧 V_{reg} の温度係数は、定電流源の変化量と、閾値電圧 ($|V_{thp2}| + |V_{thn2}|$) の変化量となるのに対し、発振停止電圧 V_{sto} の温度係数は閾値電圧 ($|V_{thp0}| + |V_{thn0}|$) の変化量となるため、温度係数すなわち温度特性が夫々異なる。

【0025】すなわち、定電圧 V_{reg} と発振停止電圧 V_{sto} の温度特性が異なる場合、例えば、定電圧 $|V_{reg}|$ の方が温度に対して負の傾きが絶対値で大きい場合についての、定電圧 $|V_{reg}|$ と発振停止電圧 $|V_{sto}|$ に関する温度と電圧の関係を図13に示す。図13においては、横軸を温度、縦軸を電圧とし、定電圧 V_{reg} 、発振停止電圧 V_{sto} についてのグラフを夫々示す。前記発振動作を確保するためには、動作保証温度範囲における高温時、すなわち、図13に示すB点においても、 $|V_{reg}| > |V_{sto}|$ を確保しなければならない。ここで、前記B点における温度は、例えば、一般に公知の腕時計の耐熱温度である。

【0026】よって、他の低い温度領域では、定電圧 $|V_{reg}|$ 値を必要以上に高くしなければならなくなる。つまり、従来の定電圧発生回路および水晶発振回路においては、無駄な電力を消費していることになる。したがって、低消費電力化のためには、定電圧 V_{reg} と発振停止電圧 V_{sto} の温度特性を同様にすることが有効であることが分かる。すなわち、従来は定電圧 V_{reg} と発振停止電圧 V_{sto} の温度勾配の差が大きくなり、高温側（あるいは低温側）の発振動作を保証するために、前記 $|V_{reg}| > |V_{sto}|$ を常に成り立たせなければならず、低温側（あるいは高温側）では、 $|V_{reg}|$ を発振動作を保証する以上に高くしなければならなかったので、結果として無駄な電力を消費していた。

【0027】しかし、前記発振停止電圧 V_{sto} は、水晶発振回路内の発振用インバータINV0を構成するPMOS Q_P0 の閾値電圧 V_{thp0} およびNMOS Q_N0 の閾値電圧 V_{thn0} に依存しており、前述したような従来の発振用インバータにおいては、定電圧発生回路において形成される定電圧 V_{reg} のみを調整することで低消費電力化を図ることしかできなかった。

【0028】すなわち、発振用インバータを構成するトランジスタの形成において閾値電圧を変更させてしまうと、発振用インバータとしての特性も変わってしまうため、発振特性の変更に伴って様々な点での変更が必要となり、設計を困難にしてしまうこととなっていた。したがって、定電圧 V_{reg} と発振停止電圧 V_{sto} における $|V_{reg}| > |V_{sto}|$ の関係を保ちつつ、前記定電圧 $|V_{reg}|$ をできるだけ低くする、ということは困難であり、発振回路のさらなる低消費電力化が図れなかった。

【0029】

【発明が解決しようとする課題】そこで、本発明は、上

述したような問題を鑑みてなされたものであり、その目的は、発振用インバータを含む発振回路、定電圧発生回路、半導体装置、携帯用の電子機器および時計において、発振回路を構成する発振用インバータにおけるトランジスタの閾値電圧を調整することにより低消費電力駆動且つ安定発振を行なうことにある。

【0030】本発明の他の目的は、定電圧発生回路におけるオペアンプの入力部と接続されたトランジスタの閾値電圧を制御することにより、低消費電力駆動を行なうことにある。

【0031】

【課題を解決するための手段】請求項1記載の発振回路は、異なる閾値電圧を有するトランジスタを用いて構成された複数の発振用インバータを含み、いずれか1つの発振用インバータが選択使用される発振用インバータ群と、前記発振用インバータ群の出力側と入力側に接続された水晶振動子を有し、前記発振用インバータ群の出力信号を位相反転して、前記発振用インバータ群にフィードバック入力するフィードバック回路と、を含むことを特徴とする。

【0032】したがって、請求項1記載の発振回路によれば、前記発振用インバータ群のうち、前記発振用インバータのトランジスタ出力を最適な電圧に調整することができ、水晶発振回路としての発振出力を最適な状態にすることができ、低消費電力化が図れる。

【0033】請求項2記載の発振回路は、請求項1に記載の特徴点に加え、前記発振用インバータ群から、いずれか1つの発振用インバータを選択する選択回路を含むことを特徴とする。

【0034】したがって、請求項2記載の発振回路によれば、前記選択回路により最適な閾値電圧を有する発振用インバータを選択することができる。

【0035】請求項3記載の発振回路は、請求項2に記載の特徴点に加え、前記発振回路は、テスト回路と同一の基板上に形成され、前記水晶振動子を搭載していない状態で、前記テスト回路にて、前記各発振用インバータを選択し、該夫々の発振用インバータのショート電流を測定することにより、前記発振用インバータ群の中から1つの発振用インバータを特定し、前記選択回路にて前記発振用インバータを選択するものであることを特徴とする。

【0036】したがって、請求項3記載の発振回路によれば、ICチップまたはウエハ上に形成された発振用インバータ群の夫々の発振用インバータのショート電流を測定することができるので、製造条件に係わらず最適な発振用インバータが得られ、歩留りを向上させることができる。また、前記選択回路も前記テスト回路と前記同一基板上に形成することもできる。

【0037】請求項4記載の発振回路は、請求項3に記

載の特徴点に加え、前記テスト回路は、テスト用パッドと接続され、前記テスト用パッドへの印加電圧が制御されることによって、前記テスト回路を介して、前記各発振用インバータを選択することを特徴とする。

【0038】したがって、請求項4記載の発振回路によれば、前記テスト用パッドへの印加電圧の組み合わせにより、前記テスト回路により、前記各発振用インバータを選択する信号を形成することができ、夫々の発振用インバータのショート電流を測定することができる。

10 【0039】請求項5記載の発振回路は、請求項1乃至4のいずれかに記載の特徴点に加え、前記選択回路は、前記発振用インバータと対応して設けられ、かつ複数のパッドと接続された、複数の単位回路を含み、前記複数の単位回路は、夫々フューズ、不揮発性メモリ、記憶素子のうちのいずれか1つを含み、前記パッドへ電圧を印加することにより、前記発振用インバータを選択することを特徴とする。

【0040】したがって、請求項5記載の発振回路によれば、フューズ、不揮発性メモリ、記憶素子のうちのいずれか1つを含む手段を付加することにより、容易に前記発振用インバータを選択する選択回路を構成することができる。

【0041】請求項6記載の発振回路は、請求項1乃至5のいずれかに記載の特徴点に加え、前記発振用インバータ群は、第1の閾値電圧を有するトランジスタを含んで構成された第1の発振用インバータと、前記第1の閾値電圧とは異なる第2の閾値電圧を有するトランジスタを含んで構成された第2の発振用インバータと、前記第1及び第2の閾値電圧とは異なる第3の閾値電圧を有するトランジスタを含んで構成された第3の発振用インバータとを少なくとも含むことを特徴とする。

【0042】したがって、請求項6記載の発振回路によれば、前記発振用インバータ群における閾値電圧の差が微小であるトランジスタを含む3つの発振用インバータのうち、前記発振用インバータに流れるソースドレイン電流を最適な電流に調整することができ、水晶発振回路としての発振出力を最適な状態にすることができ、低消費電力化が図れる。

【0043】請求項7記載の発振回路は、請求項1または6に記載の特徴点に加え、前記各発振用インバータの電源ラインは、第1の電位側と、前記第1の電位とは電位の異なる第2の電位側に接続され、前記発振回路は、前記第1の電位と前記第2の電位による電位差をもって、振幅を行なうものであることを特徴とする。

【0044】したがって、請求項7記載の発振回路によれば、前記発振用インバータの振幅を前記第1の電源と、前記定電圧との間で行なうことができるため、前記電圧振幅に基づいた安定かつ低消費電力な発振特性を得ることができる。

【0045】請求項8記載の発振回路は、請求項7に記

載の特徴点に加え、前記第1の電位と前記第2の電位による電位差は、前記発振用インバータの発振停止電圧の絶対値よりも大きいものであることを特徴とする。

【0046】したがって、請求項8記載の発振回路によれば、前記発振用インバータにより安定な発振動作を確保することができる。

【0047】請求項9記載の発振回路は、請求項7または8に記載の特徴点に加え、選択する発振用インバータに流れるショート電流が、選択する発振用インバータを構成するトランジスタのオン電流よりも大きいという条件を満たす範囲で、前記発振用インバータの選択を行なうと共に、前記第1の電位と前記第2の電位による電位差を、最小の電圧とすることを特徴とする。

【0048】したがって、請求項9記載の発振回路によれば、前記発振用インバータにより安定かつ低消費電力な発振動作を行なうことができ、低電源電圧化にも対応することができる。

【0049】請求項10記載の定電圧発生回路は、一端側が第1の電位側、他端側が定電圧出力側に接続され、閾値電圧が夫々異なる複数のトランジスタを含み、いずれか1つのトランジスタが選択使用される定電圧制御回路と、前記定電圧制御回路の参照電圧が一方の端子への入力され、他方の端子へ所与の基準電圧が入力されたオペアンプと、一端が前記定電圧制御回路の前記各トランジスタの他端側に接続され、他端側が第2の電位側に接続され、前記オペアンプの出力を受けてゲート入力電圧が制御されるトランジスタと、を含むことを特徴とする。

【0050】したがって、請求項10記載の定電圧発生回路によれば、ICチップ上に形成されたトランジスタ群の夫々のトランジスタ選択時における定電圧の値をモニタ端子にて測定することができるので、製造条件に係わらず、最適な定電圧が得られ、ほぼ同一のチップ面積にて、低消費電力な定電圧を得ることができる。

【0051】請求項11記載の定電圧発生回路は、請求項10に記載の特徴点に加え、前記定電圧発生回路は、前記定電圧制御回路における複数のトランジスタから1つのトランジスタを選択する選択回路を含むことを特徴とする。

【0052】したがって、請求項11記載の定電圧発生回路によれば、前記選択回路により、前記最適なトランジスタを選択することができる。

【0053】請求項12記載の定電圧発生回路は、請求項11に記載の特徴点に加え、前記定電圧発生回路はモニタ端子と接続されるとともに、テスト回路と同一の基板上に設けられ、検査工程において、前記テスト回路は、前記定電圧制御回路における各トランジスタを選択し、前記定電圧制御回路における各トランジスタによる出力電圧を前記モニタ端子にて夫々測定することにより、前記定電圧制御回路における複数のトランジスタの

中から1つのトランジスタを特定し、前記選択回路にて、前記トランジスタを選択することを特徴とする。

【0054】したがって、請求項12記載の定電圧発生回路によれば、ICチップ上に形成されたトランジスタ群の夫々のトランジスタ選択時における定電圧の値をモニタ端子にて測定することができるので、製造条件に係わらず、最適な定電圧が得られ、ほぼ同一のチップ面積にて、低消費電力な定電圧を得ることができる。

【0055】請求項13記載の定電圧発生回路は、請求項12に記載の特徴点に加え、前記テスト回路は、テスト用パッドと接続され、前記テスト用パッドへの印加電圧が制御されることによって、前記テスト回路を介して、前記定電圧制御回路における各トランジスタを選択することを特徴とする。

【0056】したがって、請求項13記載の定電圧発生回路によれば、前記テスト用パッドへの印加電圧の組み合わせにより、前記テスト回路により、前記定電圧制御回路の各トランジスタを選択する信号を形成することができ、前記夫々のトランジスタにより形成される前記参照電圧を測定することができる。

【0057】請求項14記載の定電圧発生回路は、請求項10乃至13のうちのいずれかに記載の特徴点に加え、前記選択回路は、前記定電圧制御回路における前記複数のトランジスタと対応して形成され、かつ複数のパッドと接続された、複数の単位回路を含み、前記複数の単位回路は、夫々フューズ、不揮発性メモリ、記憶素子のうちのいずれか1つを含み、前記パッドへ電圧を印加することにより、前記トランジスタを選択することを特徴とする。

【0058】したがって、請求項14の定電圧発生回路によれば、フューズ、不揮発性メモリ、記憶素子のうちのいずれか1つを含む手段を付加することにより、容易に前記発振用インバータを選択する選択回路を構成することができる。

【0059】請求項15記載の定電圧発生回路は、請求項10乃至14のいずれかに記載の特徴点に加え、前記定電圧制御回路は、第4の閾値電圧を有するトランジスタと、前記第4の閾値電圧とは異なる第5の閾値電圧を有するトランジスタと、前記第4及び第5の閾値電圧とは異なる第6の閾値電圧を有するトランジスタとを少なくとも含み、各前記トランジスタは一端側が第1の電位側に接続され、他端側が定電圧出力側に接続されていることを特徴とする。

【0060】したがって、請求項15記載の定電圧発生回路によれば、ICチップ上に形成されたテスト回路内の閾値電圧の異なる3種類のトランジスタによる定電圧値をモニタ端子にて測定することができるので、最適なトランジスタを選択することができ、製造条件に係わらず、最適な定電圧が得られ、ほぼ同一のチップ面積にて、低消費電力な定電圧を得ることができる。

【0061】請求項16記載の定電圧発生回路は、請求項10乃至15のうちのいずれかに記載の特徴点に加え、前記定電圧発生回路の出力電圧を、発振回路へ供給することを特徴とする。

【0062】したがって、請求項16記載の定電圧発生回路によれば、前記発振回路の発振特性に応じて前記定電圧を調整することができるので、前記発振回路へ最適な定電圧を供給することができる。

【0063】請求項17記載の半導体装置は、発振回路と、定電圧発生回路と、テスト回路とを含む半導体装置であって、前記発振回路は、異なる閾値電圧を有するトランジスタを用いて構成された複数の発振用インバータを含み、いずれか1つの発振用インバータが選択使用される発振用インバータ群と、前記発振用インバータ群における複数の発振用インバータから1つの発振用インバータを選択する第1の選択回路と、外付けされた水晶振動子と出力側及び入力側が接続された前記発振用インバータ群の出力信号を位相反転して、前記発振用インバータ群にフィードバック入力するフィードバック回路と、を含み、前記定電圧発生回路は、一端側が第1の電位側、他端側が定電圧出力側に接続され、閾値電圧が夫々異なる複数のトランジスタを含み、いずれか1つのトランジスタが選択使用される定電圧制御回路と、前記定電圧制御回路の参照電圧が一方の端子へ入力され、他方の端子へ所与の基準電圧が入力されたオペアンプと、一端が前記定電圧制御回路の前記各トランジスタの他端側に接続され、他端側が第2の電位側に接続され、前記オペアンプ出力を受けてゲート入力電圧が制御されるトランジスタと、前記定電圧制御回路における複数のトランジスタから1つのトランジスタを選択する第2の選択回路と、を含み、前記テスト回路は、前記発振回路および前記定電圧発生回路と夫々接続されるとともに、前記定電圧発生回路の出力電圧をモニタするモニタ端子と、テスト用パッドと接続されて設けられ、検査工程において、前記モニタ端子に電圧を印加した状態で、前記テスト用パッドへの印加電圧を制御することにより、前記テスト回路を介して前記各発振用インバータを夫々選択して、前記各発振用インバータのショート電流を夫々測定し、前記ショート電流測定後に、前記テスト用パッドへの印加電圧を制御することにより、前記テスト回路を介して前記定電圧制御回路における各トランジスタを夫々選択して、前記各トランジスタの出力電圧を前記モニタ端子にて夫々測定し、前記発振用インバータの発振動作を確保できる範囲で、前記発振回路内の前記発振用インバータを前記第1の選択回路にて選択するとともに、前記定電圧発生回路内の定電圧制御回路におけるトランジスタを前記第2の選択回路にて選択することを特徴とする。

【0064】したがって、請求項17記載の半導体装置によれば、前記水晶発振回路の発振用インバータのショート電流測定結果と、定電圧の測定結果とによる組み合

わせの中から最適なショート電流と定電圧の組み合わせを選択することができ、半導体装置における発振回路の安定発振出力を得ることができると共に、歩留りを向上することができ、一層の低消費電力化を図ることができる。

【0065】請求項18記載の携帯用電子機器は、請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から動作基準信号を形成することを特徴とする。

【0066】したがって、請求項18記載の携帯用電子機器によれば、携帯用電子機器の製造ばらつきによらず、発振用インバータの動作マージンを確保しつつ、電子回路の低消費電力化が図れ、携帯用電子機器において、発振動作を安定して行なうことができるだけでなく、使用電池の長寿命化を図ることができ、携帯用電子機器の使い勝手を向上することができる。

【0067】請求項19記載の携帯用電子機器は、請求項18に記載の特徴点に加え、前記発振回路への供給電圧を形成する請求項10乃至16のいずれかの定電圧発生回路を含むことを特徴とする。

【0068】したがって、請求項19の携帯用電子機器によれば、さらに、最小の定電圧を前記発振回路に供給することができるため、電子回路の低消費電力化が図れる。

【0069】請求項20記載の時計は、請求項19に記載の特徴点に加え、請求項1乃至9のいずれかの発振回路を含み、前記発振回路の発振出力から時計基準信号を形成することを特徴とする。

【0070】したがって、請求項20記載の時計によれば、時計の製造ばらつきによらず、発振用インバータの動作マージンを確保しつつ、時計において、発振動作を安定して行なうことができるだけでなく、使用電池の長寿命化を図ることができ、時計の使い勝手を向上することができる。

【0071】請求項21記載の時計は、請求項20に記載の特徴点に加え、前記発振回路への供給電圧を形成する請求項10乃至16のいずれかの定電圧発生回路を含むことを特徴とする。

【0072】したがって、請求項21記載の時計によれば、さらに、最小の定電圧を前記発振回路に供給することができるため、時計回路の低消費電力化が図れる。

【0073】

【発明の実施の形態】次に、本発明の好適な実施の形態を図面に基づき詳細に説明する。

【0074】＜実施の形態1＞図2には、本発明の好適な実施の形態1にかかる定電圧発生回路および水晶発振回路が示されている。本実施の形態の水晶発振回路は、クォーツタイプの腕時計に使用される水晶発振回路である。尚、前記図1に示される回路と対応する部材には、同一符号を付し、その説明は省略する。

【0075】本実施の形態の水晶発振回路は、複数の発振用インバータユニットにより発振用インバータ群を形成し、かつ前記発振用インバータユニットを構成するPMOS/NMOSの各閾値電圧を、各発振用インバータユニットごとに異なるように形成し、最適な発振用インバータユニットを選択することができるようにしたものである。

【0076】図2に示される水晶発振回路について説明する。本実施の形態の水晶発振回路は、発振用インバータ群10と、選択制御回路20P、20Nと、水晶振動子X'talと、フィードバック回路を構成する高抵抗Rfとを含んで構成されている。ここで、MOSは半導体基板上に形成されているICチップに形成されたものであり、他の素子はプリント基板上に前記ICチップと接続されて実装されたものである。前記フィードバック回路は、抵抗Rf以外に、位相補償用のコンデンサCd、Cgを含んで構成され、発振用インバータ群10のドレイン出力を、180度位相反転されたゲート入力として発振用インバータ群10の初段の発振用インバータユニットINV1のゲートへフィードバック入力するものである。

【0077】前記発振用インバータ群10においては、PMOSQP4とNMOSQN4を含む第1の発振用インバータユニットINV1、PMOSQP5とNMOSQN5を含む第2の発振用インバータユニットINV2、PMOSQP6とNMOSQN6を含む第3の発振用インバータユニットINV3が形成されている。

【0078】そして各発振用インバータユニットINV1~3は、それぞれ第1の電位側とこれよりも低い電圧の第2の電位側に接続され、両電位の電位差により電力供給を受け駆動されるように構成されている。ここで、本実施の形態の水晶発振回路においては、前記第1の電位は接地電圧Vddに設定され、第2の電位は定電圧発生回路から供給される負の定電圧Vregに設定されている。

【0079】これらの発振用インバータ群10を構成する、発振用インバータユニットINV1~3における夫々のトランジスタは、前記各発振用インバータユニットごとにそれぞれ異なる閾値電圧にて形成されているものである。たとえば、NMOSQN4、QN5、QN6の各閾値電圧は、 $V_{thn4} > V_{thn5} > V_{thn6}$ とされ、前記各NMOSの閾値電圧の大きさに対応して、PMOSQP4、QP5、QP6の閾値電圧は、 $|V_{thp4}| > |V_{thp5}| > |V_{thp6}|$ となるように形成されている。そして、この閾値電圧の制御については、トランジスタ形成時の不純物の打ち込み濃度を制御することにより、夫々の発振用インバータユニットごとに閾値電圧が異なるように形成される。そして、たとえば、これらの閾値電圧の差としては前記 V_{thn4} と V_{thn5} 、 V_{thn5} と V_{thn6} 、 V_{thp4} と V_{thp5} 、 V_{thp5} と V_{thp6} との各電位差を約0.1V

程度にすることができる。

【0080】そして、前記各発振用インバータユニットINV1~3は、一端に接地電圧Vddが印加された前記コンデンサCgの他端と、夫々の入力ゲートが共通に電氣的に接続される。さらに、前記各発振用インバータユニットINV1~3は、各出力ノードが共通に接続されるとともに、接地電圧Vddが一端に印加されたコンデンサCdの他端、および水晶振動子X'talの一端と接続される。また、前記水晶振動子X'talの他端は、前記コンデンサCgの他端、各発振用インバータユニットINV1~3のゲート入力、フィードバック抵抗Rfの一端と接続されている。更に、前記フィードバック抵抗Rfの他端は各発振用インバータユニットINV1~3の各出力部と接続されており、前記各発振用インバータユニットINV1~3の出力は、各ゲートにフィードバックされている。

【0081】更に、前記各発振用インバータユニットINV1~3は、選択信号が入力されるNMOS選択制御回路20N及びPMOS選択制御回路20P間に接続されて設けられている。前記NMOS選択制御回路20Nはゲートに選択信号を受けるNMOSQN7~QN9により構成されるとともに、前記PMOS選択制御回路20Pは、ゲートに選択信号を受けるCMOSインバータ回路IP1~IP3と、その出力を各ゲートにて受けるPMOSQP7~QP9により構成されている。すなわち、前記PMOS選択制御回路20Pを構成するPMOSQP7~QP9の各ゲートには前記各選択信号の反転信号が入力されるものである。

【0082】そして、前記PMOS選択制御回路20P、前記NMOS選択制御回路20N、発振用インバータ群10の接続について、たとえば、発振用インバータユニットINV1を例として以下に説明する。尚、発振用インバータユニットINV2、INV3についても全く同じ構成であるものとする。

【0083】前記PMOS選択制御回路20Pに含まれるPMOSQP7は、ソースに電源電圧Vssが印加されるとともに、ドレインがPMOSQP4のソースと接続されている。そして、前記NMOS選択制御回路20Nに含まれるNMOSQN7は、ソースに定電圧Vregが印加されるとともに、ドレインがNMOSQN4のソースと接続されている。そして、前記選択制御用NMOSQN7のゲートには、発振用インバータ群10における発振用インバータユニットINV1の選択/非選択を命令する選択信号SEL1が入力され、前記選択制御用PMOSQP7のゲートには、選択信号SEL1の反転信号が印加されている。すなわち、前記選択信号SEL1はハイレベルで発振用インバータユニットINV1を選択状態、ロウレベルで前記発振用インバータユニットINV1を非選択状態にすることができる。

【0084】以上、発振用インバータユニットINV1

を例として説明したが、前述したように発振用インバータユニットINV2、INV3の構成も同様であって、発振用インバータユニットINV2においては、ゲートに選択信号SEL2が入力される選択制御用PMOSQp8と、ゲートに選択信号SEL2の反転信号が入力される選択制御用NMOSQNgが設けられている。また、同様に、インバータINV3においては、ゲートに選択信号SEL3が入力される選択制御用NMOSQNgと、ゲートに選択信号SEL1の反転信号が入力される選択制御用PMOSQp9が同様に設けられている。

【0085】このように、夫々閾値電圧の異なる前記発振用インバータユニットINV1～3により構成された発振用インバータ群10および選択制御回路20P、20Nは、水晶発振回路としての発振出力を最適な状態にするために、前記発振用インバータ群10のうち、前記発振用インバータユニットのトランジスタ出力を最適な電圧に調整するために設けられたものである。

【0086】すなわち、前記選択信号SEL1～3の選択制御回路20P、20Nへの入力により、前記発振用インバータユニットINV1～3の起動を制御し、最適な閾値電圧にて形成されたトランジスタを有する発振用インバータユニットを選択するものである。この選択信号SEL1～3の電圧レベルの切り替え方法および回路については、後に図3を用いて詳細に説明する。

【0087】次に、本実施の形態の水晶発振回路における、発振用インバータユニットの選択方法について説明する。本実施の形態では、たとえば、発振用インバータユニットINV1を選択する場合について説明する。

【0088】選択信号SEL1がハイレベルとされ、選択制御用PMOSQp7のゲートにロウレベル、NMOSQNgのゲートにハイレベルの電圧が印加されるため、前記PMOSQp7とNMOSQNgはオンする。したがって、発振用インバータユニットINV1において、PMOSQp4のソースが接地電圧Vdd、NMOSQNgのソースが定電圧Vregと、それぞれ電気的に接続されることにより、発振用インバータユニットINV1を選択することができる。

【0089】一方、選択信号SEL1、SEL2はロウレベルとされるので、選択制御用PMOSQp8、Qp9のゲートにはそれぞれ選択信号SEL1、SEL2の反転信号、すなわちハイレベルの信号が印加されるので、PMOSQp8、Qp9はオフする。そして、選択制御用NMOSQNg、QNgのゲートには前記選択信号SEL1、SEL2すなわちロウレベルの信号が印加されるので、NMOSQNg、QNgはオフする。よって、発振用インバータユニットINV3、INV4は両電源と電気的に切り離され選択されない。

【0090】次に、前記選択信号SEL1～3の形成方法について、図3を用いて説明する。

【0091】図3に本発明の好適な実施の形態1にかか

る発振用インバータユニット選択回路が示されている。本実施の形態の発振用インバータユニット選択回路は、水晶発振回路において、前記発振用インバータユニットINV1～3により構成される発振用インバータ群10のうち、最適な発振用インバータユニットを選択する選択信号SEL1～3を形成するための回路である。

【0092】発振用インバータユニット選択回路は、前記発振用インバータユニットの数分の単位回路により構成され、たとえば、図2に示すような3種類の発振用インバータユニットINV1～3を有する水晶発振回路用には、3つの単位回路U1～U3が設けられている。すなわち、前記発振用インバータユニット選択回路は、3種類のパッドP1～P3及び3種類のフューズ回路F1～F3を含む。前記フューズ回路F1～F3は、それぞれ一端が接地電圧Vddと接続され、他端がパッドP1～P3と接続されたフューズf1～f3と、一端が電源電圧Vssと接続され、他端がパッド及び前記フューズf1～f3の他端と直列に接続された抵抗R1～R3と、出力インバータI1～I3とを含んで構成されている。

【0093】そして、たとえば、単位回路U1が選択信号SEL1形成用の回路である場合には、前記単位回路U1の出力が、発振用インバータユニットINV1のNMOSQNgのゲート、または水晶発振回路内の選択制御回路20Pにおけるインバータを介してPMOSQp7のゲートに入力される。

【0094】本実施の形態の発振用インバータユニット選択回路において、フューズ回路F1～F3のフューズf1～f3はたとえば20V程度の高電圧を印加することによって切断することができる。たとえば、発振用インバータユニットINV1を選択する場合は、まず、パッドP1に高電圧を印加して、フューズf1を切断することによって、電流をパッドP1から抵抗R1を介して電源Vssに向かって流すようにする。このことによって、出力インバータINVU1に入力される電圧はロウレベルとなり、前記出力インバータINVU1の出力電圧、すなわち発振用インバータユニット選択回路における単位回路U1の出力信号はハイレベルとなる。したがって、図3に示される選択信号SEL1はハイレベルとされて選択制御用NMOSQNgがオンし、選択制御用PMOSQp7がオフする。

【0095】以上、発振用インバータユニットINV1を選択する場合について説明したが、INV2、INV3の選択も同様に行なうことができる。たとえば、発振用インバータユニットINV2を選択する場合は、パッドP2に高電圧を印加して、単位回路U2のフューズf2を切断し、発振用インバータユニットINV3を選択する場合は、パッドP3に高電圧を印加して、単位回路U3のフューズf3を切断することで同様にして所望の発振用インバータユニットを選択することができる。ここで、本実施の形態では、フューズの切断による情報記

憶の方法を例として説明したが、これに限定されことなく、不揮発性メモリや記憶素子等を用いて情報を記憶させることもできる。

【0096】ここで、図4に発振停止電圧 V_{sto} と選択信号 $SEL1 \sim 3$ の関係についてのタイミングチャートを示す。図4において、横軸は時間を表わしている。ここで、発振停止電圧 V_{sto} と、接地電圧 V_{dd} とにおいては、差電圧が大きくなるほど発振停止電圧 $|V_{sto}|$ が大きくなるものである。

【0097】まず、選択信号 $SEL1$ がハイレベルとされることにより、前記した式1により発振停止電圧 $|V_{sto}|$ は、 $K(|V_{thp7}| + V_{thn7})$ (K : 定数)となる。そして、前記選択信号 $SEL1$ がロウレベル、選択信号 $SEL2$ がハイレベルとされることによって、発振停止電圧 $|V_{sto}|$ は、 $K(|V_{thp8}| + V_{thn8})$ となる。また、前記選択信号 $SEL2$ がロウレベル、選択信号 $SEL3$ がハイレベルとされることによって、発振停止電圧 $|V_{sto}|$ は、 $K(|V_{thp9}| + V_{thn9})$ となる。つまり、 $SEL1$ がハイレベルにされたときの発振停止電圧 $|V_{sto}|$ が最も低く、 $SEL3$ がハイレベルにされたときに発振停止電圧 $|V_{sto}|$ が最も高くなる。

【0098】ところで、発振用インバータユニット選択回路におけるフューズの切断は、ICの検査時に行なわれ、このときに、まず、発振用インバータ群10と接続された選択制御回路20NのNMOSQN7~QN9の夫々のソースが共通に接続された、定電圧発生回路の出力電圧である負の定電圧 V_{reg} の値と、発振用インバータユニットINV1~3の夫々に流れるショート電流 I_s の測定により発振用インバータユニットの選択が行なわれる。

【0099】図5(a)は発振用インバータユニットに流れるショート電流 I_s の測定方法を示す図、図5

(b)は、縦軸を発振停止電圧 $|V_{sto}|$ 、横軸をショート電流 I_s として表わした、発振停止電圧 $|V_{sto}|$ とショート電流 I_s との関係を示すグラフである。

【0100】発振用インバータユニットのショート電流の測定は、図に示すように、発振用インバータユニットを構成するPMOSQP₃のソースに接地電圧 V_{dd} を印加し、NMOSQN₃のソースに定電圧 V_{reg} を印加し、前記PMOSQP₃、前記NMOSQN₃の共通ゲートと共通ドレインをショートさせて、接地電圧 V_{dd} 一定電圧 V_{reg} 間に流れる電流を測定することにより行なわれる。

【0101】このとき、発振停止電圧 $|V_{sto}|$ と発振用インバータユニットのショート電流 I_s の関係のグラフにおいて、水晶発振回路の低消費電力化のためには、前述した定電圧 V_{reg} 、発振停止電圧 V_{sto} は、 $|V_{reg}| > |V_{sto}|$ かつ $|V_{reg}|$ をできるだけ低くするという条件を満たさなければならない。

【0102】すなわち、前記ショート電流 I_s については、前記PMOSQP₃のオン電圧以上、つまり閾値電圧

V_{thpS} 以上、かつ最も低い定電圧 $|V_{reg}|$ となるように発振用インバータユニットおよび定電圧 V_{reg} を選択する必要がある。更に、発振停止電圧 $|V_{sto}|$ においては、要求される発振電圧がNMOSQN₃のオン電圧以下、つまり閾値電圧 V_{thnS} 以下の電圧を選択する必要がある。したがって、低消費電力化のためには、図に示す領域1の範囲内でのショート電流 I_s および発振停止電圧 $|V_{sto}|$ である必要がある。一方、この条件を満たしつつ、近年の電源の低電圧化に対応できる発振用インバータユニットを選択するために、トランジスタのオンオフ動作が補償される範囲で安定発振する、最も低いショート電流の発振用インバータユニットを選択することが必要となる。すなわち、前述したショート電流測定の結果にしたがって、この条件を満たす最適の発振用インバータユニットを選択することで、水晶発振回路の低消費電力化を実現するものである。

【0103】このために、ICの検査工程において、特に図示しないテスト回路および前記テスト回路と接続されたテスト用パッドを使用して、水晶振動子 $X'tal$ の基板への実装前に、各発振用インバータユニットINV1~3においてショート電流 I_s を測定し、オンオフ動作が補償される範囲で最も低いショート電流のものを特定する。このときICテストはウエハの状態で行ない、夫々のICチップ内に設けられたテスト回路およびテスト用パッドを使用して、それぞれのICチップについてショート電流の測定が行なわれる。また、このとき、発振用インバータ群10および選択制御回路20P、20Nのみをアクティブとし、他の素子は非アクティブ状態にしてテストが行なわれる。

【0104】ところで、前記テスト用パッドは発振用インバータユニットの数およびテスト回路の論理に応じ、1つまたは複数設けられると共に、前記テスト回路には、前記テスト用パッドへの入力信号の電圧レベルの組み合わせによって、前記選択信号 $SEL1 \sim 3$ のうちのいずれか1つをハイレベルにする論理回路を含む回路が形成されているものである。そして、ショート電流の測定は、前記テスト回路において、擬似的に、各発振用インバータユニットへ前記ハイレベルの選択信号を夫々入力した状態で行なわれる。このとき、前記出力ライン102と接続されたモニタ用パッドMPを利用して、定電圧と同等の負の電圧 V_{reg} を印加することにより、前記発振用インバータ群に接地電圧 V_{dd} と、定電圧 V_{reg} を印加する。

【0105】そして、ショート電流 I_s 測定後に、発振用インバータ群10のうちの最適な発振用インバータユニットを特定し、前記発振用インバータユニットに対応して設けられた、発振用インバータユニット選択回路の単位回路におけるフューズを切断し、最適な発振用インバータユニットを1つ選択する。

【0106】以上述べたように、本実施の形態の水晶発

振回路は、発振用インバータユニットのショート電流 I_s を IC 検査時にテストすることができるため、製造条件に係わらず、最適な発振用インバータが得られ、歩留りを向上させることができるとともに、安定かつ低消費電力な発振特性を得ることができる。

【0107】ここで、このようにして得られた本実施の形態の発振用インバータにおける発振動作についてのグラフを図6に示し、発振動作について説明する。図6において、横軸を時間を示し、ドレイン波形とゲート波形の時間軸を共通として示す。最適な発振用インバータユニットが選択された水晶発振回路において、前記発振用インバータユニットの最適な駆動能力に応じてゲート入力波形の振幅が増幅される。そして、前記ゲート入力波形に対してドレイン出力波形は位相が180度反転される。そして、ドレイン容量 C_D は、高調波成分をカットし、発振周波数成分だけを有効にして、水晶発振回路の高調波発振を防ぐフィルターの役目を果たしている。そして、前記抵抗 R_f 、ドレイン容量 C_D 、水晶振動子 $X'_{t a l}$ 、ゲート容量 C_g を含むフィードバック回路はドレイン波形の位相を180度変換させるものである。

【0108】このように、本実施の形態の水晶発振回路における発振用インバータの出力特性は、最適な発振用インバータユニットにて発振動作が行なわれているため、出力特性が良く低消費電力な発振回路を実現することができる。

【0109】以上本実施の形態の水晶発振回路について説明してきたが、本実施の形態においては、異なる閾値電圧を有する発振用インバータユニットを3種類であるとして説明したが、発振用インバータユニットの数は特に限定されることなく自由に設定することができ、同様に発振用インバータユニット選択回路の数も発振用インバータユニットの数と対応させて設けることができる。

【0110】本実施の形態においては、閾値電圧の設定を発振用インバータ $INV1 > INV2 > INV3$ 、すなわち、 $V_{thn4} > V_{thn5} > V_{thn6}$ 、 $|V_{thp4}| > |V_{thp5}| > |V_{thp6}|$ として記載したが、これに限定されることなく、閾値電圧の設定を $INV1 < INV2 < INV3$ 、すなわち、 $V_{thn4} < V_{thn5} < V_{thn6}$ 、 $|V_{thp4}| < |V_{thp5}| < |V_{thp6}|$ として設定することもできる。

【0111】＜実施の形態2＞次に、図7を用いて本実施の形態の定電圧発生回路について説明する。

【0112】本実施の形態の定電圧発生回路は、オペアンプの一方の入力電圧を制御するNMOSを複数かつ夫々異なる閾値電圧にて形成し、前記複数のNMOSのうち最適なNMOSを選択することができるようにしたものである。

【0113】本実施の形態の定電圧発生回路は、オペアンプOPと、選択制御回路30と、出力ゲートNMOS

QN_1 と、定電圧制御回路40と、一入力用PMOS QP_2 とを含んで構成されている。

【0114】前記オペアンプOPは、+入力端子と一入力端子とを有し、+入力端子は定電圧制御回路40により形成される電圧を受ける。また、前記一入力端子はPMOSにより構成され、接地電圧 V_{dd} と定電流源の間に設けられた前記選択制御用PMOS QP_2 により制御される電圧を受ける。そして、前記オペアンプOPは、前記+入力端子に印加された電圧と、一入力端子に印加された電圧との電位差を増幅して出力する。また、前記一入力用PMOS QP_2 は、ソースには接地電圧 V_{ss} が印加され、ゲートとドレインが共通に接続され、かつ定電流源と接続されている。

【0115】前記出力ゲートNMOS QN_1 は、前記オペアンプOPの出力をゲートに受けるものであって、且つ、ドレインが定電圧発生回路の出力ライン102と接続されている。また、前記出力ゲートNMOS QN_1 のソースには電源電圧 V_{ss} が印加されている。

【0116】前記定電圧制御回路40は、NMOS $QN_{10} \sim QN_{12}$ を含んで構成されている。この定電圧制御回路40は、定電圧発生回路にて形成される定電圧 V_{reg} を、前記オペアンプOPの+入力端子の入力電圧を制御することによって制御するための回路であって、第1の電位と、前記第1の電位よりも低い第2の電位の間に設けられた前記NMOS $QN_{10} \sim QN_{13}$ の夫々のゲートとドレインが共通にオペアンプOPの-入力端子に接続されている。すなわち、前記NMOS $QN_{10} \sim QN_{12}$ の各ドレイン及びゲートはオペアンプOPの+入力端子と接続されているとともに、ソースが選択制御回路30を介して定電圧発生回路の出力ライン102に電気的に接続されている。

【0117】ここで、前記定電圧制御用NMOS $QN_{10} \sim QN_{12}$ は、夫々異なる閾値電圧にて形成されており、前記NMOS QN_{10} の閾値電圧 V_{thn10} 、前記NMOS QN_{11} の閾値電圧 V_{thn11} 、前記NMOS QN_{12} の閾値電圧 V_{thn12} は、たとえば、 $V_{thn10} > V_{thn11} > V_{thn12}$ の関係となるように形成されている。そして、この閾値電圧の制御については、トランジスタ形成時の不純物の打ち込み濃度を制御することにより形成することができる。このとき、たとえば、 V_{thn10} と V_{thn11} 、 V_{thn11} と V_{thn12} との各電位差は0.1V程度にすることができる。

【0118】そして、前述したように、選択制御回路30が、前記定電圧制御回路40と接続されて設けられている。すなわち、前記定電圧制御用NMOS $QN_{10} \sim QN_{12}$ の夫々のドレインと直列に接続されて、各ゲートにて選択信号を受ける選択制御用NMOS $QN_{13} \sim QN_{15}$ が夫々対応して設けられている。前記選択制御用NMOS $QN_{13} \sim QN_{15}$ は、夫々のソースが共通に定電圧発生回路の出力ライン102と接続されており、前記出力ライン102の

電位が実質的に定電圧発生回路の出力電圧 V_{reg} となるものである。

【0119】そして、前記選択信号は、実施の形態1の水晶発振回路の例と同様に、異なる閾値電圧を有する定電圧制御回路を構成するNMOSのうちの1つを選択するための信号であり、選択信号SEL10がハイレベルでNMOSQN10を選択状態、SEL11がハイレベルでNMOSQN11を選択状態、SEL12がハイレベルでNMOSQN12を選択状態とすることができる。また、前記選択信号SEL10～12が夫々ロウレベルで前記NMOSQN10～QN12を夫々非選択状態とすることができる。

【0120】前記定電圧制御回路40を構成する夫々閾値電圧の異なるNMOSQN10～QN12は、定電圧発生回路により形成された定電圧 V_{reg} を最適な状態で形成するために、前記定電圧制御回路40のうちの1つのNMOSに電流を流すことにより、オペアンプOPの+入力端子への印加電圧すなわち-入力端子への印加電圧との差電圧を選択することができ、前記オペアンプOPの出力信号すなわち定電圧 V_{reg} を制御することを可能とするものである。

【0121】すなわち、前記選択信号SEL10～12の選択制御回路30への入力により、前記定電圧制御回路40を構成するNMOSQN13～QN15のオンオフを制御し、最適な閾値電圧にて形成されたNMOSを1つ選択するものである。この選択信号SEL10～SEL12の電圧レベルの切り替え方法及び回路については、図3に示す回路と同様のものを使用し、同様の切り替え方法により選択信号SEL10～12を形成することができるのでここでは説明は省略する。

【0122】次に、本実施の形態の定電圧発生回路における、定電圧制御回路の選択方法について説明する。本実施の形態では、たとえば、NMOSQN10を選択する場合について説明する。

【0123】選択信号SEL10がハイレベルとされ、選択制御用NMOSQN13のゲートにハイレベルの電圧が印加されるため、前記NMOSQN13はオンする。したがって、定電圧制御回路40において、NMOSQN10のソースがオン状態のNMOSQN1を介して電源電圧 V_{ss} と電氣的に接続されることにより、定電圧制御用NMOSQN10を選択することができる。

【0124】一方、選択信号SEL11、SEL12は共にロウレベルとされるので、選択制御用NMOSQN14、QN15のゲートには前記選択信号SEL11、SEL12すなわちロウレベルの信号が印加されるので、NMOSQN14、QN15はオフする。よって、定電圧制御用NMOSQN11、QN12は両電源と電氣的に切り離され選択されない。

【0125】ここで、図8に定電圧 V_{reg} と選択信号SEL10～12の関係についてのタイミングチャートを

示す。図8において、横軸は時間を表わしている。ここで、定電圧 $|V_{reg}|$ と、接地電圧 V_{dd} とにおいては、差電圧が大きくなるほど定電圧 $|V_{reg}|$ が大きくなるものである。

【0126】まず、選択信号SEL10がハイレベルとされることにより、前述したように、定電圧は、 $|V_{reg}| = \alpha (|V_{thp2}| + V_{thn})$ (α : 定数) で表わすことができるので、定電圧 $|V_{reg}|$ は $\alpha (|V_{thp2}| + V_{thn10})$ となる。そして、前記選択信号SEL10がロウレベル、選択信号SEL11がハイレベルとされることによって、定電圧 $|V_{reg}|$ は $\alpha (|V_{thp2}| + V_{thn11})$ となる。また、前記選択信号SEL11がロウレベル、選択信号SEL12がハイレベルとされることによって、定電圧 $|V_{reg}|$ は $\alpha (|V_{thp2}| + V_{thn12})$ となる。つまり、SEL10がハイレベルにされたときの定電圧 $|V_{reg}|$ が最も低く、SEL3がハイレベルにされたときに定電圧 $|V_{reg}|$ が最も高くなる。

【0127】ところで、前記したように、定電圧制御回路40に含まれるNMOSの選択は、図3に示す回路と同様の選択信号形成回路により、ICの検査工程においてフューズを切断することにより行なわれる。また、実施の形態1と同様に、前記選択信号形成回路において、フューズの切断による情報記憶方法でなくとも、不揮発性メモリや記憶素子等を用いて情報を記憶させることもできる。

【0128】前記定電圧制御回路に含まれるNMOSの選択においては、実施の形態1でも述べたように、定電圧 V_{reg} 、発振停止電圧 V_{sto} は、 $|V_{reg}| > |V_{sto}|$ かつ $|V_{reg}|$ を低くするという両方の条件を満たさなければならない。前述したように、前記発振停止電圧 V_{sto} は、発振用インバータを構成するトランジスタのNMOSQN0、PMOSQP0の閾値電圧 V_{thn0} 、 $|V_{thp0}|$ に依存するため、特に図示しないテスト回路と接続されたテスト用パッドに印加する電圧レベルを制御して、選択信号SEL10、SEL11、SEL12を順にハイレベルとする。ここで、テスト回路は、実施の形態1に記載した前記テスト回路と同様に、前記テスト用パッドへの入力信号の組み合わせにより、選択信号SEL10～12を選択的に形成する論理回路を含む回路であり、前記テスト用パッドは1つまたは複数設けることができる。

【0129】そして、定電圧制御用NMOSQN10～QN12を順にオンさせて、定電圧 V_{reg} を変化させ、出力ライン102に接続されたモニタ用パッドMPにて定電圧 V_{reg} を測定する。このとき、ICテストはウエハの状態で行ない、夫々のICチップ内に設けられた前記テスト回路、前記テスト用パッドおよびモニタ用パッドを使用して夫々のICチップについて定電圧 V_{reg} の測定が行なわれる。また、測定時には、定電圧制御回路40、選択制御回路30のみがアクティブとされ、他の素子は非アクティブ状態とされているものである。

【0130】そして、実施の形態1に記載したように、水晶発振回路における発振用インバータにおいてショート電流 I_s を測定し、前記した関係を満たす最適な定電圧 V_{reg} を特定する。そして、ICチップの実効領域に形成された定電圧発生回路において定電圧制御回路40に含まれる、前記特定した最適なNMOSと接続された選択信号形成回路のフューズの切断を行ない、定電圧制御用NMOSを1つ選択する。

【0131】以上、本実施の形態の定電圧発生回路について説明してきたが、前述したように、本実施の形態の定電圧発生回路は、動作マージンを確保しつつできるだけ低い定電圧 $|V_{reg}|$ を形成することを特徴とするものである。トランジスタ数をさほど増加させることなく実現することができるため、チップ面積を大きく増加させることなく、最適な定電圧が設定でき、低消費電力な定電圧 V_{reg} を得ることができる。

【0132】本実施の形態においては、異なる閾値電圧を有する定電圧制御用NMOSを3種類であるとして説明したが、この数は特に限定されることなく自由に設定することができ、同様に定電圧選択回路の単位回路の数も定電圧制御用NMOSの数と対応させて設けることができる。

【0133】本実施の形態においては、閾値電圧の設定を定電圧制御用NMOS $QN_{10} > QN_{11} > QN_{12}$ 、すなわち、 $V_{thn10} > V_{thn11} > V_{thn12}$ として記載したが、これに限定されることなく、閾値電圧の設定を $QN_{10} < QN_{11} < QN_{12}$ 、すなわち、 $V_{thn10} < V_{thn11} < V_{thn12}$ として設定することもできる。

【0134】また、実施の形態1、実施の形態2として、水晶発振回路の発振用インバータにて最適発振用インバータを選択できるもの、定電圧発生回路の定電圧制御回路の最適NMOSを選択できるものとして別々に例を挙げて説明したが、図1に示されるように、同時に実施の形態1の定電圧発生回路と、実施の形態2の水晶発振回路を適用することもでき、この場合最も低消費電力化が図れることはいうまでもない。この場合、前記選択信号SEL1~3を形成する第1の選択信号形成回路と、前記選択信号SEL10~12を形成する第2の選択信号形成回路が必要となるが、前記モニタ用パッドは共用することができる。また、前述したように、前記第1の選択信号形成回路と第2の選択信号形成回路の回路構成は同一にすることもできる。そして、図1のように構成した場合、水晶発振回路の発振用インバータのショート電流測定結果と、定電圧 V_{reg} の測定結果とによる組み合わせの中から最適な組み合わせを選択することができ、安定した発振特性を確保しつつ、歩留りを向上させることができ、さらに一層の低消費電力化を図ることができる。

【0135】以上、実施の形態1、2を用いて本発明の水晶発振回路、定電圧発生回路、発振用インバータユニ

ット選択回路、選択信号形成回路について述べてきたが、前記発振用インバータユニット選択回路、選択信号形成回路は図示した回路構成に限定されることなく様々な回路構成にて実現することができ、例えば、フューズの切断は高電圧の印加でなくとも、レーザーにてポリシリコンにて形成されたフューズを切断することもできる。

【0136】＜実施の形態3＞次に、図9に腕時計に用いられる電子回路の一例が示されている。

【0137】この腕時計は、図示しない発電機構を内蔵している。使用者が腕時計を装着し腕を動かすと、発電機構の回転錘が回転し、そのときの運動エネルギーにより発電ロータが高速回転され、発電ステータス側に設けられた発電コイル300から交流電圧が出力される。

【0138】この交流電圧が、ダイオード302で整流され、二次電池301を充電する。この二次電池301は、昇圧回路303および補助コンデンサ304と共に主電源を構成する。

【0139】本実施の形態では、二次電池の電圧が低くて時計の駆動電圧に満たないときには、昇圧回路303により二次電池の電圧を時計駆動可能な高電圧に変換し、補助コンデンサ304に蓄電する。そして、この補助コンデンサ304の電圧を電源として時計回路が動作する。

【0140】この時計回路は、実施の形態1、2に記載した発振回路と定電圧発生回路を含む半導体装置として構成されており、この半導体装置に端子を介して接続された水晶振動子 $X'tal$ を用いて予め設定された発振周波数、ここで32768Hzの周波数の発振出力を生成し、この発振出力を分周することにより、一秒ごとに極性の異なる駆動パルスを出力するように構成されている。この駆動パルスは、時計回路に接続されたステップモータの駆動コイル306へ入力される。これにより、図示しないステップモータは、駆動パルスが通電されるごとにロータを回転駆動し、図示しない時計の秒針、分針、時針を駆動し、時刻を表示板にアナログ表示することになる。

【0141】ここで、本実施の形態の時計回路330は、前述した主電源から供給される電圧により駆動される電源電圧回路部220と、この電源電圧からこの値よりも低い所定の一定電圧 V_{reg} を生成する実施の形態2に記載した定電圧発生回路210と、この定電圧 V_{reg} により駆動される定電圧動作回路部240とを含んで構成される。

【0142】図10には、前記時計回路330のより詳細な機能ブロック図が示されている。

【0143】定電圧動作回路部240は、外部接続された水晶振動子 $X'tal$ を一部に含んで構成された実施の形態1に記載した水晶発振回路200と、波形整形ゲート201と、高周波分周回路202とを含んで構成さ

10

20

30

40

50

れる。

【0144】前記電源電圧回路部220は、レベルシフタ203と、中低周波分周回路204と、その他の回路205とを含んで構成される。なお、本実施の形態の時計回路では、前記電源電圧回路部220と、定電圧発生回路210とは、主電源から供給される電圧により駆動される電源電圧動作回路部240を構成している。

【0145】前記水晶発振回路200は、水晶振動子X'talを用いて基準周波数 $f_s = 32768\text{Hz}$ の正弦波出力を波形整形ゲート201に出力する。

【0146】前記波形整形ゲート201は、この正弦波出力を矩形波に整形した後、高周波分周回路202へ出力する。

【0147】前記高周波分周回路202は、基準周波数 32768Hz を 2048Hz まで分周し、その分周出力をレベルシフタ203を介して中低周波数分周回路204へ出力する。

【0148】前記中低周波数分周回路204は、 2048Hz まで分周された信号を、さらに 1Hz まで分周し、その他の回路205へ入力する。

【0149】前記その他の回路205は、 1Hz の分周信号に同期してコイルを通電駆動するドライバ回路を含んで構成され、この 1Hz の分周信号に同期して時計用駆動用ステップモータを駆動する。

【0150】本実施の形態の時計回路において、主電源から供給される電源電圧 V_{ss} により回路全体が駆動される電源電圧動作回路部240以外に、これにより低い定電圧 V_{reg} で駆動される定電圧動作回路部220を設けたのは以下の理由による。

【0151】すなわち、このような時計回路では、長期間安定した動作を確保するために、その消費電力を低減することが必要となる。

【0152】通常、回路の消費電力は、信号の周波数、回路の容量に比例し、さらに供給電源電圧の二乗に比例して増大する。

【0153】ここで、時計回路に着目してみると、回路全体の消費電力を低減するためには、回路各部に供給する電源電圧を低い値、たとえば V_{reg} に設定すれば良い。この定電圧発生回路210は、実施の形態2に記載したように、前記水晶発振回路200の発振動作を補償する範囲で最小の定電圧 V_{reg} を形成することができる。

【0154】次に、信号周波数に着目してみると、時計回路は、信号周波数が高い水晶発振回路200、波形整形ゲート201、高周波分周回路202と、それ以外の回路205とに大別することができる。この信号の周波数は、前述したように回路の消費電力と比例関係がある。

【0155】そこで、本実施の形態の定電圧発生回路210は、主電源から供給される電源電圧 V_{ss} から、それ

より低い定電圧 V_{reg} を生成し、これを高周波信号を扱う回路部230、すなわち水晶発振回路200、波形整形ゲート201、高周波分周回路202へ供給している。このように、前記高周波信号を扱う回路230に対して供給する駆動電圧を低くすることにより、定電圧発生回路210の負担をさほど増加させることなく、時計回路全体の消費電力を効果的に低減することができる。

【0156】なお、本実施の形態において、高周波分周回路202と中低周波分周回路204との間にレベルシフタ203を設けたのは、以下の理由による。

【0157】高周波分周回路202の出力波高値は、定電圧 V_{reg} レベルであり、主電源の電圧 V_{ss} の波高値より小さい。このため、前記電源電圧 V_{ss} で駆動されている中低周波分周回路204に、高周波分周回路202の定電圧 V_{reg} レベルの出力をそのまま入力しても、この入力値が中低周波分周回路202の初段のロジックレベルの電圧を超えないため、中低周波分周回路204が正常に動作しない。よって、前記中低周波分周回路204が正常に動作するように、前記レベルシフタ203を使い、前記高周波分周回路202の出力波高値を定電圧レベルから電源電圧レベルまで引き上げている。

【0158】以上述べたように、本実施の形態の時計回路およびこれを含む電子回路は、実施の形態1の水晶発振回路、実施の形態2の定電圧発生回路を含んでいるために、製造ばらつきによらず、発振用インバータの動作がマージンを確保しつつ、最小の定電圧を前記水晶発振回路に供給することができるため、電子回路、時計回路の低消費電力化が図れる。したがって、前述したような、時計または携帯用の電子機器において、発振動作を安定して行なうことができるだけでなく、使用電池の長寿命化を図ることができ、時計又は携帯用の電子機器の使い勝手を向上することができる。

【0159】

【図面の簡単な説明】

【図1】本発明による実施の形態2の定電圧発生回路及び実施の形態1の水晶発振回路を有する発振回路の概略図である。

【図2】本発明による実施の形態1の水晶発振回路を有する発振回路の概略図である。

【図3】本発明による実施の形態1の発振用インバータ選択回路の概略図である。

【図4】本発明による実施の形態1の発振停止電圧と選択信号の関係を示すタイミングチャートの概略図である。

【図5】本発明による発振用インバータのショート電流を測定する方法について説明するための図と、発振停止電圧とショート電流との関係を示すグラフである。

【図6】本発明による実施の形態1の水晶発振回路のゲート波形と、ドレイン波形を示す概略図である。

【図7】本発明による実施の形態2の定電圧発生回路を

29

有する発振回路の概略図である。

【図8】本発明による実施の形態2の定電圧と選択信号の関係を示すタイミングチャートの概略図である。

【図9】本発明による実施の形態3の時計の機能ブロック図である。

【図10】本発明による実施の形態3の携帯用電子機器の機能ブロック図である。

【図11】本発明による従来の定電圧発生回路及び水晶発振回路を有する発振回路の概略図である。

【図12】従来の定電圧発生回路における定電流源と接続されたNMOSに流れる定電流とゲートソース間電圧との関係を示すグラフである。

【図13】定電圧 $|V_{reg}|$ と発振停止電圧 $|V_{sto}|$ に関する温度と電圧の関係を示す図である。

【符号の説明】

10・・・発振用インバータ群

20P, 20N・・・選択制御回路（水晶発振回路）

30・・・選択制御回路（定電圧発生回路）

40・・・定電圧制御回路

INV1～3・・・発振用インバータユニット

P1～P3・・・パッド

OP・・・オペアンプ

Rf・・・帰還抵抗

30

C_G, C_D ・・・補償用コンデンサ

$X'tal$ ・・・水晶振動子

U1～U4・・・単位回路

F1～F3・・・フューズ回路

f1～f3・・・フューズ

R1～R3・・・抵抗

I1～I3・・・出力インバータ

200・・・水晶発振回路

201・・・波形整形用ゲート

202・・・高周波分周回路

203・・・レベルシフタ

204・・・中低周波分周回路

205・・・その他回路

210・・・定電圧発生回路

220・・・電源電圧回路部

230・・・定電圧駆動動作回路部

240・・・電源電圧動作回路

300・・・発電コイル

301・・・二次電池

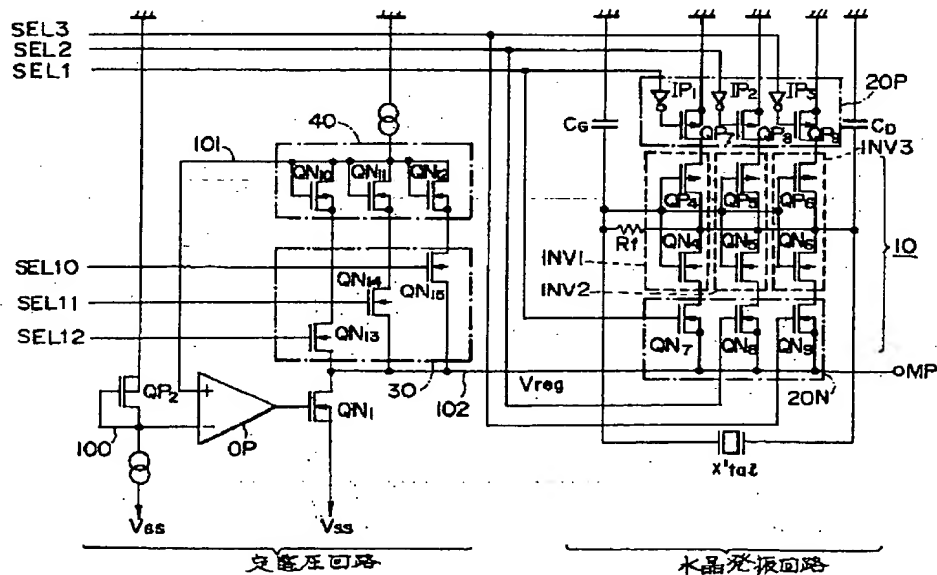
302・・・ダイオード

303・・・昇圧回路

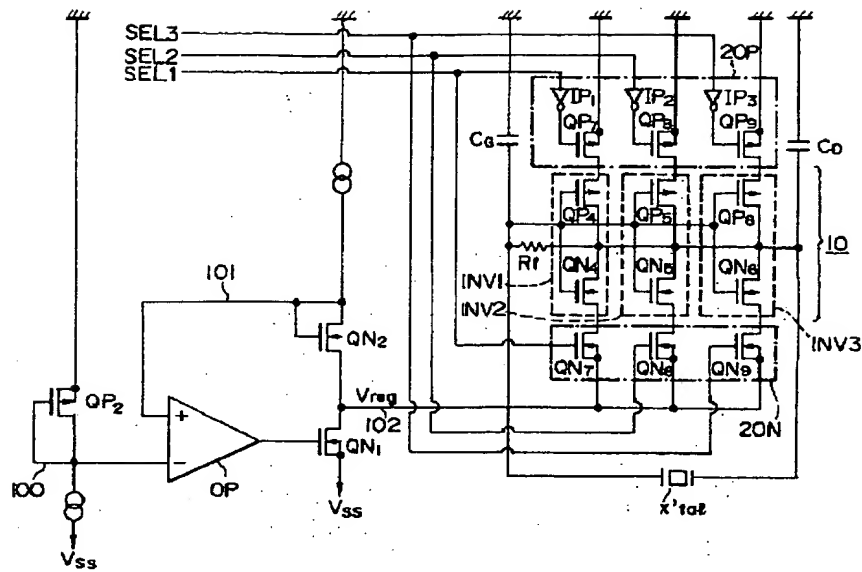
304・・・補助コンデンサ

306・・・時計用モータコイル

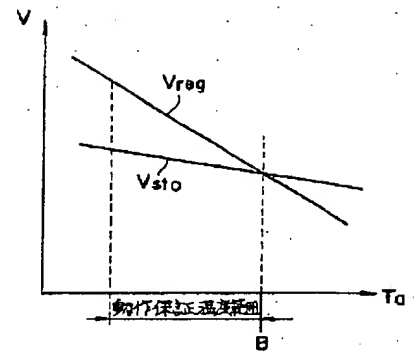
【図1】



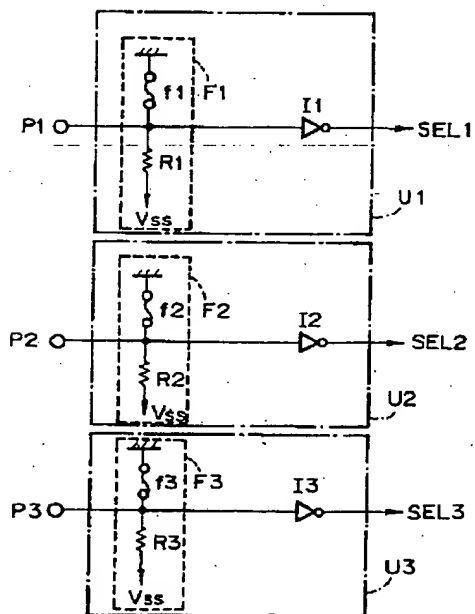
【図2】



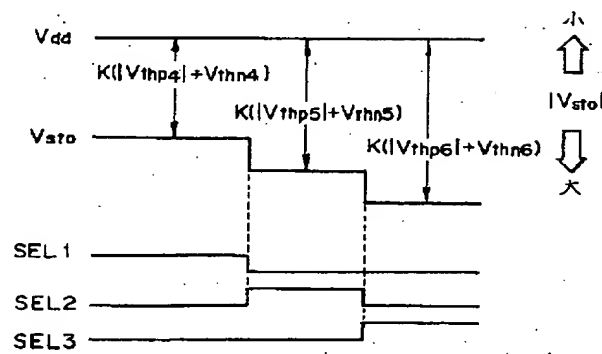
【図13】



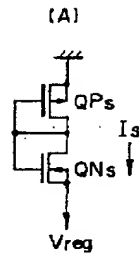
【図3】



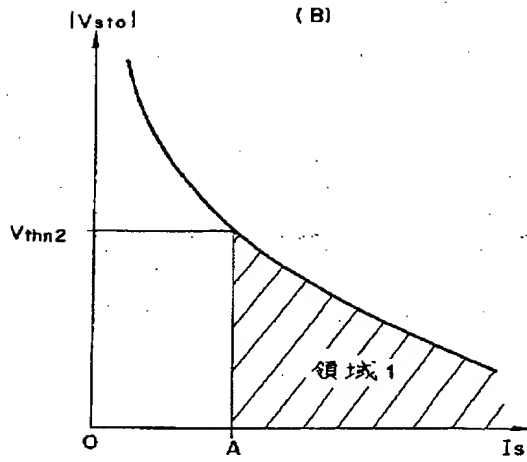
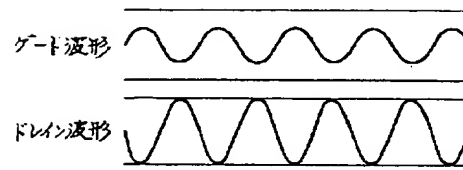
【図4】



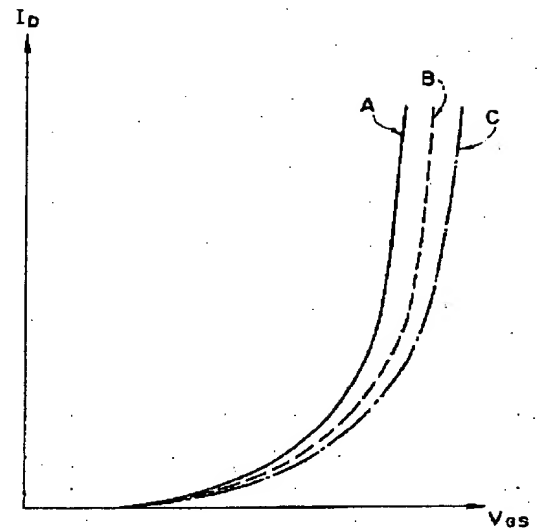
【図5】



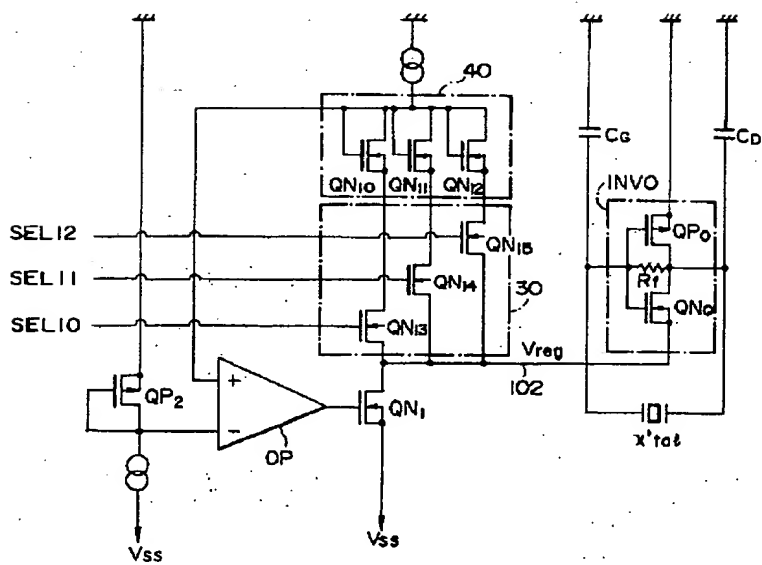
【図6】



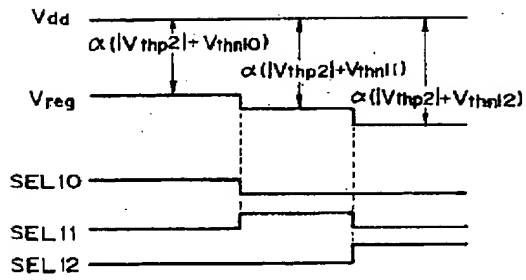
【図12】



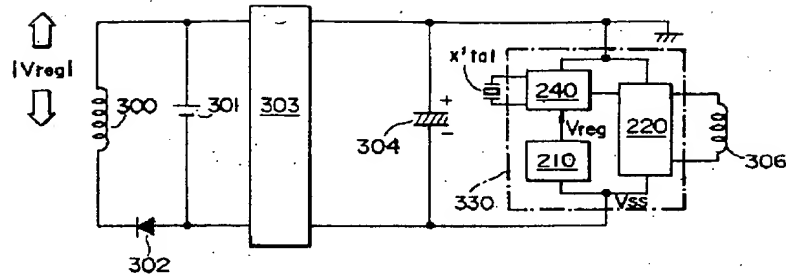
【図7】



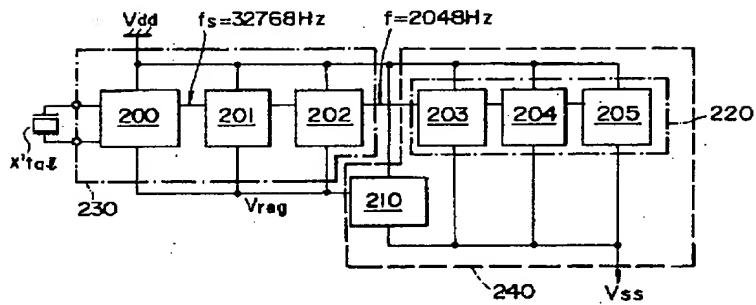
【図8】



【図9】



【図10】



【図11】

